



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11087708 A**(43) Date of publication of application: **30 . 03 . 99**

(51) Int. Cl.

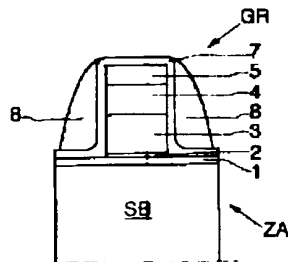
**H01L 29/78
C23C 16/22**(21) Application number: **10178749**(22) Date of filing: **25 . 06 . 98**(30) Priority: **25 . 06 . 97 FR 97 9707938**(71) Applicant: **FR TELECOM**(72) Inventor: **SAGNES ISABELLE**(54) **METHOD FOR OBTAINING TRANSISTOR HAVING SILICON-GERMANIUM GATE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To combine all steps of fabrication method by forming a stack of silicon layer on a substrate through a silicon primer layer and an Si-Ge layer and then forming a gate region using an inorganic mask thereby capsuling the gate region so that each layer can be grown with uniform thickness and composition while limiting growth of grain size.

SOLUTION: A silicon primer layer 2 is formed, at 580°C or below, on a silicon gate oxide layer 1 in the active region ZA of a substrate SB and a stack of silicon layer 4 is formed thereon through an $\text{Si}_{1-x}\text{Ge}_x$ ($0 < x \leq 1$) layer 3. Etching is then performed using an organic mask 5 to form a region of gate GR on the stack. Subsequently, a capsuled layer 7 of a material nonoxidative for Ge is formed simultaneously on the gate region. The deposition time depends on the temperature and pressure conditions, the rate of various gases in a mixture gas, and the thickness of a poly-Si-Ge layer and an optimal deposition combination is allowed among the primer layer 2, the Si-Ge layer 3 and the silicon layer 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87708

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁵

H 0 1 L 29/78

C 2 3 C 16/22

識別記号

F I

H 0 1 L 29/78

C 2 3 C 16/22

3 0 1 G

審査請求 未請求 請求項の数18 O L (全 10 頁)

(21) 出願番号 特願平10-178749

(22) 出願日 平成10年(1998) 6月25日

(31) 優先権主張番号 F R 9 7 0 7 9 3 8

(32) 優先日 1997年 6月25日

(33) 優先権主張国 フランス (F R)

(71) 出願人 591034154

フランス テレコム

FRANCE TELECOM

フランス国、75015 パリ、プラス・ダ
ル、6

(72) 発明者 イザベル サーニュ

フランス国 F-75015 パリ、リュ・
デ・モリヨン、35

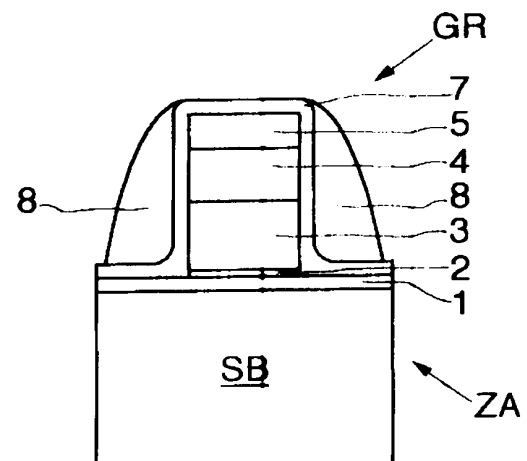
(74) 代理人 弁理士 渡辺 望穂 (外1名)

(54) 【発明の名称】 シリコン-ゲルマニウムゲートを持つトランジスタを得るための方法

(57) 【要約】

【課題】 従来より少ない、全てが一緒に結合されうる工程を持つシリコン-ゲルマニウムゲートを持つトランジスタを得るための方法を提供する。

【解決手段】 この方法は、単一のウェハのリアクタにおいてゲート酸化物層 (1) 上に $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層 (2、3、4) のスタックの堆積、およびその後無機マスク (5) を用いたゲート () のエッチングを含む。次に、ゲート (GR) は、隔離するスペーサが形成される前に、ゲルマニウムに関して非酸化性である材料中にカプセル化される。



【特許請求の範囲】

【請求項1】ゲート酸化層(1)が載置される、いわゆる活性領域(ZA)を含む半導体基板(SB)から $Si_{1-x}Ge_x$ (ここで、 $0 < x \leq 1$)の隔離されたゲートの電界効果トランジスタを得るための方法であって、前記ゲート酸化層(1)の上に、580℃以下の温度における化学蒸着(CVD)を使って、2nm以下の厚さを持つシリコンプライマー層(2)を堆積する工程、およびこのプライマー層の上に、 $Si_{1-x}Ge_x$ から形成され、550℃以下の温度での化学蒸着(CVD)によ

って得られ、第2シリコン層(4)が載置される第1連続層(3)を含むスタックを堆積する工程を含む、単一のウェハリアクタ内の処理の第1の段階と、前記スタックの上に、無機材料からなるトップ層(5)を堆積する工程、前記スタックに載せる無機マスク

(5)を得るように前記トップ層(5)を第1にエッチングする工程、ゲート領域(GR)を形成するように、前記マスクを使って前記スタックを第2にエッチングする工程、およびこのゲート領域の上に、ゲルマニウムに関して非酸化性である材料から形成されるカプセル化層(7)を堆積する工程を含む前記トランジスタのゲート(GR)を形成する段階と、

さらに、このカプセル化されたゲートの側壁の上に、ゲルマニウムに関して非酸化性である材料から形成される隔離するサイド領域(8)を形成する工程を含む第2処理段階とを有することを特徴とするシリコン-ゲルマニウムゲートを持つトランジスタを得るための方法。

【請求項2】前記プライマー層(2)は、500～580℃の範囲の温度で堆積され、 $Si_{1-x}Ge_x$ から形成される前記第1連続層(3)は、400～500℃の範囲の温度で堆積されることを特徴とする請求項1に記載の方法。

【請求項3】前記プライマー層(2)は、おおよそ2nm以下の厚みを持つことを特徴とする請求項1または2に記載の方法。

【請求項4】前記プライマー層(2)を堆積するためのガス混合物は、シランおよび水素の混合物であり、 $Si_{1-x}Ge_x$ から形成される前記第1連続層(3)を堆積するためのガス混合物は、シラン、ゲルマニウムおよび水素の混合物であることを特徴とする請求項1～3のいずれかに記載の方法。

【請求項5】前記第1処理段階は、前記スタックをドーピングする工程を含むことを特徴とする請求項1～4のいずれかに記載の方法。

【請求項6】前記スタックのドーピング工程は、ドーピングされていない $Si_{1-x}Ge_x$ の下層(sublayer)が堆積された後に、 $Si_{1-x}Ge_x$ から形成される前記第1連続層(3)を堆積するために使用されるガス混合物中にドーパントを導入する工程を含むことを特徴とする請求項5に記載の方法。

【請求項7】前記トランジスタのゲート(GR)を形成する段階において、第1のエッチング工程は、 Cl_2 、 N_2 および/または NH_3 からなるガス混合物の高密度プラズマによって実施されることを特徴とする請求項1～6のいずれかに記載の方法。

【請求項8】前記トランジスタのゲートを形成する段階において、第2のエッチング工程は、 Cl_2 と、 N_2 または NH_3 のいずれかと、もしくは N_2 および NH_3 の混合物とからなるガス混合物の高密度プラズマによって実施される異方性メインエッチング工程を有することを特徴とする請求項1～7のいずれかに記載の方法。

【請求項9】前記メインエッチング工程は、ゲート酸化物(1)に達する前に、好ましくはゲート酸化物に達する前の30～40nmで停止されることを特徴とする請求項8に記載の方法。

【請求項10】前記第2のエッチング工程は、メインエッチング工程後、 Cl_2 と、 N_2 または NH_3 のいずれかと、もしくは N_2 および NH_3 の混合物と、さらに必要に応じて O_2 とからなるガス混合物の高密度プラズマによってオーバーエッチングする工程を含むことを特徴とする請求項8または9に記載の方法。

【請求項11】前記カプセル化層(7)は、無機マスク(5)が少なくとも部分的に載っているゲート領域の上に堆積されることを特徴とする請求項1～10のいずれかに記載の方法。

【請求項12】前記無機マスク(5)は、 SiO_2 層から形成され、さらに必要に応じて $SiON$ 層が載置されていることを特徴とする請求項1～11のいずれかに記載の方法。

【請求項13】前記カプセル化層(7)は、CVDタイプのガスプラズマによって堆積された SiO_2 層または $SiON$ 層であることを特徴とする請求項1～12のいずれかに記載の方法。

【請求項14】前記カプセル化層の厚みは、5～10nmの範囲であることを特徴とする請求項13に記載の方法。

【請求項15】前記サイド隔離領域(8)は、低温ガスプラズマによって堆積された SiO_2 または Si_3N_4 から形成されることを特徴とする請求項1～14のいずれかに記載の方法。

【請求項16】前記ゲート酸化物層(1)は、単一ウェハリアクタ内において堆積されることを特徴とする請求項1～15のいずれかに記載の方法。

【請求項17】前記Xは、0.5～1の範囲であることを特徴とする請求項1～16のいずれかに記載の方法。

【請求項18】 $Si_{1-x}Ge_x$ の前記第1連続層(3)の厚みは、50～200nmの範囲であり、前記第2シリコン層(4)の厚みは、50～200nmの範囲であることを特徴とする請求項1～17のいずれかに記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン-ゲルマニウムの隔離されたゲートの電界効果トランジスタ、すなわちシリコン-ゲルマニウム、もしくは必要に応じて純粋ゲルマニウム ($\text{Si}_{1-x}\text{Ge}_x$ 、ここに、 $0 < x \leq 1$) の層、および、特に50～100%のゲルマニウム濃度 ($0.5 \leq x \leq 1$) を有する層を有するシリコン-ゲルマニウムの隔離ゲートを持つ電界効果トランジスタに関する。

【0002】

【従来の技術】現在のCMOS技術、すなわち0.25 μm 以上のゲート幅を持つCMOS技術において、電界効果トランジスタのゲートは、多結晶もしくは非結晶のシリコンから作られる。

【0003】 $\text{Si}_{1-x}\text{Ge}_x$ の層を含むゲート構造は、CMOS技術において、有利な代替物であることが示されてきている。

【0004】これは、 $\text{Si}_{1-x}\text{Ge}_x$ 材料が、等しいドーピングに対して多結晶シリコンよりも低い抵抗を持つということに加えて、多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 層のゲルマニウム含有量に依存して、得られるPMOSデバイスの閾値電圧をシフトさせる可能性を提供するからである。従って、それは、通常の p^+/n^+ 構造の代わりに、 p^+ ゲート構造において、すなわち、実施例の場合には、 p^+ 電気伝導性の多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 層を含む単一ゲートを持った n および p チャネルを有するトランジスタの場合において、中間ギャップ材料として用いられても良い。

【0005】加えて、非常に高いゲルマニウム濃度 (75%以上) を有するゲートもしくは純粋なゲルマニウムからなるゲートは、さらに、2つの型 (n および p) のトランジスタの双方と互換し得る利点を有し、それ故に、それは、技術工程の節約 (少なくとも2つのフォトリソグラフィ工程、およびその層が本来の場所にドーピングされる場合には2つの (イオン) 注入工程の除去) につながる。

【0006】 $\text{Si}_{1-x}\text{Ge}_x$ 層は、マルチウェハ炉における低压化学蒸着 (LPCVD) によりシリコン酸化物層上にすでに堆積されている。このプロセスは、その上に多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 層が堆積される純粋なシリコンのプライマー層の前堆積を必要とする。このプライマー層は、堆積の期間および温度に依存して核生成の阻害に対して粒成長が加速される結果となる、シリコン酸化物層上に直接 $\text{Si}_{1-x}\text{Ge}_x$ を堆積する場合におけるような、ゲルマニウムを球状化する傾向を妨げるので、 $\text{Si}_{1-x}\text{Ge}_x$ 層において受容可能な粒径を得ることを可能にするものである。

【0007】前述したように、LPCVD堆積プロセスの使用は、ニール キスラー (Neal KISTLER) およびジ

エイソン ウォー (Jason WOO) による論文「 p^+ 多結晶シリコン-ゲルマニウム ($\text{Si}-\text{Ge}$) ゲート電極を用いる絶縁体上の完全に空乏化されたシリコンにおける対称CMOS」IEDM93、第727～730頁、およびティール キング (T. KING) 等による論文「多結晶 $\text{Si}_{1-x}\text{Ge}_x$ ゲートCMOS技術」IEDM90、第253～256頁に記載されている。

【0008】

【発明が解決しようとする課題】従来技術のこれらのプロセスは幾つかの欠点を有する。「バッチ」マルチウェハ技術の使用は、リアクタが必要とする、ウェハ、例えば200mmウェハのバッチの熱質量、バッチ時間および温度安定化時間、ならびに低作動圧力が考慮されなければならないので、極めて実用的でないことが分かる。

【0009】さらに、これらマルチウェハのリアクタの熱慣性は、必要とされる大きい温度変動を創成することを困難にするが、プライマー層、 $\text{Si}_{1-x}\text{Ge}_x$ 層、および恐らく保護シリコン層の最適な堆積を許容しない。さらに、トランジスタの完全な製造に導くすべての工程が一緒に結合されるのを可能とするプロセスは、特に、トランジスタのゲートをエッチングすることの困難性のために、現時点では知られていない。

【0010】本発明の目的は、このような上記従来技術の問題点を解消し、従来より少ない、全てが一緒に結合される工程を持つシリコン-ゲルマニウムゲートを持つトランジスタを得るための方法を提供することにある。

【0011】

【課題を解決するための手段】従って、本発明は、ゲート酸化層が載っている、いわゆる活性領域を含む半導体基板から $\text{Si}_{1-x}\text{Ge}_x$ (ここで、 $0 < x \leq 1$) の隔離されたゲートの電界効果トランジスタを得るための方法であって、前記ゲート酸化層の上に、580℃以下の温度における化学蒸着 (CVD) を使って、2nm以下の厚さを持つシリコンプライマー層を堆積する工程、およびこのプライマー層の上に、 $\text{Si}_{1-x}\text{Ge}_x$ から形成され、550℃以下の温度での化学蒸着 (CVD) によって得られ、第2シリコン層が載っている第1連続層を含むスタック (積層物) を堆積する工程を含む、単一のウェハリアクタ内の処理の第1の段階と、前記スタックの上に、無機材料からなるトップ層を堆積する工程、前記スタックに載せる無機マスクを得るように前記トップ層を第1にエッチングする工程、ゲート領域を形成するように、前記マスクを使って前記スタックを第2にエッチングする工程、およびこのゲート領域の上に、ゲルマニウムに関して非酸化性である材料から形成されるカプセル化層を堆積する工程を含む前記トランジスタのゲートを形成する段階と、さらに、このカプセル化されたゲートの側壁 (サイドウォール) の上に、ゲルマニウムに関して非酸化性である材料から形成される隔離するサイド

領域を形成する工程を含む第2処理段階とを有することを特徴とするシリコン-ゲルマニウムゲートを持つトランジスタを得るための方法を提供するものである。

【0012】本発明による方法を実施するための単一ウェハリアクタは、当技術分野では知られており、ウェハの装填するための中央装置を有し、この中央装置は、ウェハ、例えば直径200mmのウェハを予め確立されたシーケンスで次々と一個ずつ、この中央装置のまわりに配置されている処理室に導入する。このようなリアクタのタイプは、アプライドマテリアルズ (Applied Materials) 社によって販売されているCentura HT[®] (センチュラHT) モデル、またはA. S. M. 社によって販売されているEpsilon one[®] (エプシロンワン) モデルである。

【0013】このような単一ウェハリアクタの使用は、おおよそ100Paから大気圧までの圧力で作動することを可能にし、かつスタックの各層に最適な温度で堆積の種々の工程を実行する、これを全て工業生産の要件に合う時間内に実行するために、処理されたウェハの温度を急速に変動させる。

【0014】急速でかつ制御された温度変動は、短時間で厚さおよび組成が均一である各層の成長を許容し、粒成長の効果を制限し、それゆえ、粗さを制限することを許容する。

【0015】プライマー層は、500～580℃の範囲の温度で堆積されるのが有利であり、一方、Si_{1-x}Ge_xから形成される第1連続層は、400～500℃の範囲の温度で堆積されるのが有利である。

【0016】プライマー層は、2nm以下の厚みを持つことが有利であり、かつ好ましくは約0.5nmの厚みを持つことが有利である。その結果、堆積時間は、プライマー層の厚みが所望の厚み(値)を持つことを確実にするために、その他の堆積条件に依存して決定されるべきである。

【0017】1nm以下の厚みを持つこのようなプライマー層の形成は、電気的な特性に影響を与える(閾値電圧においてシフトする)ことなく、100nmの堆積に対して最も都合の悪い場合において約20nmの最小粒サイズを持つSi_{1-x}Ge_x層を堆積することを可能にする。

【0018】シランおよび水素の混合物(SiH₄/H₂)は、プライマー層を堆積するために使用されるのが有利である。使用されるガス流量は、一般的に、シランの場合には標準状態(標準条件)下で400cm³/minであり、好ましくは、水素の場合には標準状態下で20～30リットル/minである。全堆積圧力は大気圧である。

【0019】Si_{1-x}Ge_x第1連続層を堆積するために使用されるガス混合物は、一般的に、シラン、ゲルマンおよび水素(SiH₄/GeH₄/H₂)の混合物か

ら形成される。

【0020】ガス混合物中の種々のガスの割合は、Si_{1-x}Ge_x層の所望のゲルマニウムおよびシリコンの含有量に依存して変化し、Si_{1-x}Ge_x層の所望の組成に依存して当業者によって容易に決定されてもよい。

【0021】堆積は、400～500℃の範囲の温度、好ましくは450℃で実施され、どんなXの値でも、0.5～1の範囲に入る。堆積圧力は、大気圧である。

【0022】堆積時間は、温度および圧力条件、ガス混合物中の種々のガスの割合、および多結晶Si_{1-x}Ge_x層の所望の厚みに依存する。一般的に、多結晶Si_{1-x}Ge_x層の厚みは、50nm～200nm、好ましくは、100～150nm、さらに良いのは、80～150nmであろう。第2層の多結晶あるいは非結晶(アモルファス)シリコン(Si)の厚みは、約50nm～150nmである。

【0023】本発明による方法の第1処理段階は、スタックにドーピングする工程、および特に、例えば、硼素または磷原子をSi_{1-x}Ge_x層にドーピングする工程を含むことが有利である。このドーピング工程は、スタックの種々の層が形成された後、注入によって実施されてもよい。

【0024】変形例として、スタックのドーピング工程は、本来の場所で実施されても良い。この場合には、スタックのドーピング工程は、ドーピングされていないSi_{1-x}Ge_xの下層(sublayer)が堆積された後に、Si_{1-x}Ge_xから形成される第1連続層を堆積するために使用されるガス混合物中にドーパントを導入する工程を含むことが有利である。

【0025】さらに詳しくは、所望のドーパントのガス状化合物、例えばB₂H₆、PH₃を堆積のために使用されるガス混合物に付加してもよい。ガス混合物中のドーパントのガス状化合物の割合は、堆積される層中のドーパントの所望の含有量に依存するであろう。一般的には、ドーピングレベルは、10¹⁷cm⁻³以上であり、好ましくは、約10²⁰cm⁻³である。

【0026】ドーピングされたSi_{1-x}Ge_x層を堆積する前に、ドーピングされていないSi_{1-x}Ge_x層を予め堆積することは、ドーパントがSiO₂から形成される薄いゲート酸化層を通して拡散するのを防止するために、推奨される。この予備堆積は、このゲート酸化物を保護するのに十分な厚さまで、Si_{1-x}Ge_x層の堆積に関して上述されたように実施される。

【0027】トランジスタのゲート(GR)を形成する段階において、第1のエッチング工程は、Cl₂、N₂および/またはNH₃からなるガス混合物の高密度プラズマによって実施されることが有利である。

【0028】第2のエッチング工程は、ゲート酸化物に達する前に、停止されることが有利であり、さらに、ゲート酸化物に達する前の30～40nm手前で停止され

ることが好ましいメインエッチング工程を含む。

【0029】第2のエッチング工程は、メインエッチング工程後、 Cl_2 と、 N_2 または NH_3 のいずれかと、もしくは N_2 および NH_3 の混合物と、さらに必要に応じて O_2 とからなるガス混合物の高密度プラズマによってオーバーエッチングする工程を含むのが好ましい。

【0030】さらに、トランジスタのゲートを形成する段階において、カプセル化層は、無機マスクが少なくとも部分的に載っているゲート領域の上に堆積されることが有利であり、このカプセル化層も、無機マスクが完全

10 ないゲート領域上に、可能な所はどこでも堆積されることを可能にする。

【0031】この無機マスクは、例えば、 SiO_2 層から形成され、必要に応じて $SiON$ 層が載っている。

【0032】カプセル化層を形成する SiO_2 層または $SiON$ 層は、CVDタイプのガスプラズマによって堆積されることが有利である。このカプセル化層の厚みは、5～10nmの範囲であることが有利である。

【0033】本発明による方法の第2処理段階は、低温ガスプラズマ（ SiO_2 堆積）を使って、または Si 、 N_2 を使って、隔離するサイド領域を形成するために提供されることが有利である。

【0034】本発明の他の利益および特徴は、以下の実施の形態の全く制限的でない方法の詳細な記載を調査すること、および添付図面から明らかになるであろう。

【0035】

【発明の実施の形態】図1において、参照符号SBは、一般的に、半導体基板、例えばシリコン基板を示し、将来のトランジスタの注入（インプランテーション）のために活性領域ZAが作られており、この活性領域は、浅いトレンチ内に作られた酸化物領域B1およびB2を分離することにより（BOXプロセス）、この例では両サイド（側辺）において分離（絶縁）されている。もちろん、側辺の分離の他の方法も可能であり、特に、当業者に良く知られたLOCOS型の側辺分離領域が可能である。

【0036】活性領域ZAは、露出したシリコン表面もしくは保護的な化学的酸化物で覆われたシリコン表面を有する。次に、ゲート酸化物層として働き、代表的には5nm以下の厚さを有するシリコン酸化物（二酸化シリコン） SiO_2 の層1が生成される。

【0037】より詳細には、このゲート酸化物層を、特に、 $Si_{1-x}Ge_x$ 層を堆積するためにウェハを単一のウェハリアクタに導入する前に、在来の乾式もしくは湿式の酸化リアクタにおいて生成することができる。

【0038】他の図面（図2～図8）においては、簡単化のために、今からは、基板の活性領域ZAだけを示す。

【0039】本発明の方法（プロセス）における第1の工程（図2参照）は、シリコン酸化物層1上に、単一の

ウェハのリアクタにおいて、580℃未満の温度のガス混合物を用いて、1nm以下、好ましくは約0.5nm以下の厚さを持つシリコンプライマー層2を堆積することにある。CVD堆積のために用いられ得るガス混合物に関して、シランおよび水素の混合物（ SiH_4/H_2 ）がここでは用いられる。用いられるガス流量は、シランの場合には標準状態で30秒間に対して400cm³/minであるのが好ましく、水素の場合には標準状態で20～30リットル/min（分）であるのが好ましい。

【0040】プライマー層の堆積温度は、500℃と、580℃、好ましくは550℃との間の温度である。

【0041】堆積圧力は一般的に大気圧である。

【0042】シリコンプライマー層を堆積するこの工程の一つの重要な特徴は、最終プライマー層の厚さが2nm以下、好ましくは約0.5nm以下であるということである。それゆえに、この堆積工程の持続期間は、プライマー層の厚さが2nm以下であることを確実にするために、他の堆積条件に依存して決定されなければならない。

【0043】2nm以下の厚さを持つかかるプライマー層を製造することは、電気的特性（閾値電圧 V_t におけるシフト）に影響を与えることなく、純粋なGeの100nmの層の最も好ましくない場合において、約20nmの最小の粒径を有する多結晶 $Si_{1-x}Ge_x$ 層を堆積

30 することを可能にする。

【0044】本発明によるプロセスにおける第2の工程は、 $Si_{1-x}Ge_x$ の層3の堆積であり、ここに、 $0 < x \leq 1$ である。好ましくは、xは0.05と1の間であり、または、好ましくは、0.25と1の間であり、一層好ましいのは、0.50と1の間である。CVD堆積のために一般に用いられるガス混合物は、シラン、ゲルマンおよび水素の混合物（ $SiH_4/GeH_4/H_2$ ）である。

【0045】混合物中の種々のガスの割合は、 $Si_{1-x}Ge_x$ 層のゲルマニウムおよびシリコンの所望の含有量に依存して変わり、そして $Si_{1-x}Ge_x$ 層の所望の組成に依存して当業者により容易に決定され得る。

【0046】堆積は、400℃と550℃との間の温度、好ましくは450℃と550℃との間の温度で行われる。ガス混合物中のゲルマニウム含有量が高ければ高い程、堆積温度は低くなければならない。このように、純粋ゲルマニウムの層を堆積するためには、堆積温度は、400℃と450℃の間にあるであろう。

【0047】合計堆積圧力は、一般的に大気圧である。

【0048】堆積時間は、温度および圧力条件に依存し、ガス混合物中の種々のガスの割合に依存し、そして多結晶 $Si_{1-x}Ge_x$ 層の所望の厚みに依存する。一般に、多結晶 $Si_{1-x}Ge_x$ 層の厚さは、50nmと200nmの間であり、好ましくは100nmと150nm

の間であり、一層好ましくは、80nmと150nmの間であろう。

【0049】次に、第2シリコン層4（もしくはカプセル化層）が、ガス混合物、例えばシランおよび水素の混合物を用いて、シリコン-ゲルマニウム層3の上に堆積される。この層は、一般的に50~200nmの厚さ、好ましくは50~100nmの厚さを有する。

【0050】

【実施例】

（実施例1）こうして、実施例として、 $x=0.55$ の場合の $Si_{1-x}Ge_x$ 層が、単一のウェハのリアクタにおいて、0.18 μm 以下のチャンネルをもったCMOS技術の場合におけるウェハのシリコン酸化物層上に、以下に示される条件下で堆積された。

【0051】a. シリコンプライマー層の堆積。

- ・ 550℃における温度の安定化。
- ・ （成長動力学により測定され、かつ偏光解析法により推定される）

SiH_4/H_2 ガス混合物による0.5nm未満の厚さを有するシリコン層の堆積

SiH_4 : 400 s cm³/分

H_2 : 20 s l/分

温度 : 550℃

圧力 : 大気圧

堆積時間 : 30秒

【0052】b. 60nmの厚さを持つ多結晶 $Si_{1-x}Ge_x$ 層 ($x=0.55$) の堆積。

- ・ 450℃における温度の安定化。
- ・ $SiH_4/GeH_4/H_2$ ガスプラズマによる $Si_{1-x}Ge_x$ 層の堆積

SiH_4 : 70 s cm³/分

GeH_4 (H_2 中に10%) : 300 s cm³/分

H_2 : 30 s l/分

温度 : 450℃

圧力 : 大気圧

堆積時間 : 70秒

【0053】c. 140nmの厚さを持つシリコンカプセル化層の堆積。

- ・ 600℃における温度の安定化。
- ・ ガスプラズマによるシリコン層の堆積

SiH_4 : 300 s cm³/分

H_2 : 30 s l/分

温度 : 600℃

圧力 : 大気圧

堆積時間 : 270秒

【0054】（実施例2）また、 $x=1$ の場合の $Si_{1-x}Ge_x$ の層（純粋Ge）も、実施例として、単一のウェハのリアクタにおいて、0.18 μm 以下のチャンネルをもったCMOS技術の場合におけるウェハのシリコン酸化物層上に、以下に示される条件下で堆積され

た。

【0055】a. シリコンプライマー層の堆積。

- ・ 550℃における温度の安定化。
- ・ （成長動力学により測定され、かつ偏光解析法により推定される）

SiH_4/H_2 ガス混合物による0.5nm未満の厚さを有するシリコン層の堆積

SiH_4 : 400 s cm³/分

H_2 : 20 s l/分

温度 : 550℃

圧力 : 大気圧

堆積時間 : 30秒

【0056】b. 60nmの厚さを持つ多結晶 $Si_{1-x}Ge_x$ 層 ($x=1$) の堆積。

- ・ 450℃における温度の安定化。
- ・ GeH_4/H_2 ガスプラズマによるGe層の堆積

GeH_4 (H_2 中に10%) : 300 s cm³/分

H_2 : 30 s l/分

温度 : 450℃

圧力 : 大気圧

堆積時間 : 45秒

【0057】c. 140nmの厚さを持つシリコンカプセル化層の堆積。

- ・ 600℃における温度の安定化。
- ・ ガスプラズマによるシリコン層の堆積

SiH_4 : 300 s cm³/分

H_2 : 30 s l/分

温度 : 600℃

圧力 : 大気圧

堆積時間 : 270秒

【0058】単一のウェハ炉におけるSi、Si/GeおよびSiスタックの形成を含む第1の処理段階は、ゲート酸化物上のSiGeの核生成を完全に制御し、ウェハ上の厚さの均一性およびゲルマニウムの濃度の均一性をチェックし、2層間でウェハを空気に露出させることなく、多結晶SiGe/Siの2層系を形成することを可能とする。

【0059】これらの利点は、ゲルマニウムの成長を引き起こすこととなる、特に、非常に長い堆積時間のために、マルチウェハ炉では見いだされないものであり、そのゲルマニウムの粒子も、粗さにおける増加ならびに連続的でないかつ均一でない堆積層の可能性の増加という少なくとも2つの否定的な影響でもって、粗くなるであろう。さらに、マルチウェハ炉においては、デプレッション効果のために（特に50%より大きいゲルマニウム濃度において）、組成に関して均一である堆積された層を得ることは困難である。

【0060】単一のウェハの堆積は、0から100%までのゲルマニウム濃度を制御することが可能であり、特に、濃度が50%よりも大きい特に有用な層が堆積され

るのを許容する。

【0061】さらに、シリコン-ゲルマニウム層がシリコン層によって覆われた（カプセル化された）2層系の形成は、科学技術の工程の残りにおいて、通常の統合プロセス、すなわち「オールシリコン」プロセスに接近することを可能とする。

【0062】これは、100%未満のゲルマニウム濃度の場合においては、ゲートは両立し得るCMOSでなければならない、すなわち、それは、生成されるべきトランジスタの型に依存して、局所的にn-またはp-注入されなければならないからである。これらの局所的な注入は有機樹脂マスクを介して実行され、引き続きこの樹脂を除去することを伴う。それは、樹脂除去中にシリコン-ゲルマニウム層を変更もしくは除去することすらないように、シリコン-ゲルマニウムゲートがシリコン層の下にカプセル化されることを必要とする、正確にこの樹脂を除去し、かつ適切な表面洗浄をすることである。

【0063】シリコン-ゲルマニウム層（もしくはゲルマニウム層）およびカプセル化シリコン層の厚さは、ゲルマニウムもしくはシリコン/ゲルマニウム粒子の成長（不均質な核生成を避けるように）と、これらの粒子上に生じる多結晶カプセル化シリコンの成長との間の妥協の結果となる。さらに、電気的応力の場合には、シリコン-ゲルマニウム層は、可能な限り連続的でなければならない、すなわち、最も低い可能な粗さを持たなければならない。従って、このシリコン-ゲルマニウム層は、十分に厚くなければならない、しかし厚すぎではならない。このように形成されたゲートの合計厚さは、0.18μm技術の場合、例えば200nmである。それは、0.18μm未満の技術の場合には、一層小さく、代表的には、約100~150nmであろう。現在の妥協は、0.18μm技術の場合、120nmの厚さを持ったSiGe層および80nmの厚さを持ったシリコンカプセル化層である。

【0064】本発明によるプロセスにおける次の工程は、図2において形成されるスタックをドーピングすることにある。ここでは、純粋ゲルマニウムからなる、もしくは75%超のゲルマニウム濃度を有するゲートの場合、トランジスタの型が何であっても、ゲートはp-型ドーピングされ、これは理論上の理由のためにそうであるということを留意すべきである。一般に、ゲートのドーピングは、全ウェハイオン注入、すなわちガス混合物を用いて単一のウェハのリアクタにおけるスタックの現実の堆積中の本来の場所への注入によって実行される。

【0065】こうして、例えばホウ素またはリンでドーピングされた多結晶Si_{1-x}Ge_x層を、堆積のために用いられたガス混合物に、例えばB₂H₆またはPH₃のような所望のドーパントのガス状化合物を加えることにより、直接堆積することができる。ガス混合物中のドーパントのガス状化合物の割合は、堆積される層にお

る所望のドーパント含有量に依存するであろう。一般的に、ドーピングレベルは、10¹⁷cm⁻³以上であり、好ましくは、約10²⁰cm⁻³以上である。

【0066】ドーピングされたSi_{1-x}Ge_x層の直接堆積の場合、SiO₂（ゲート酸化物）の薄い層におけるドーパントの拡散を避けるために、ドーピングされたSi_{1-x}Ge_x層を堆積する前に、ドーピングされないSi_{1-x}Ge_x層を前堆積することが推奨される。下層のゲート酸化物を保護するために充分な厚さへのこの前堆積は、Si_{1-x}Ge_x層の堆積の場合に前述したように行われる。一旦、前堆積が行われてしまうと、ドーパントのガス状化合物が、前述したように、ドーピングされたSi_{1-x}Ge_x層を堆積するために、ガス混合物に加えられる。

【0067】シリコンカプセル化層4もドーピングされ得るが、このシリコンカプセル化層4は、在来（慣例的な）条件下で、B₂H₆またはPH₃のようなドーパントのガス状化合物を必要に応じて含む、例えばシランおよび水素の混合物のような在来のガス混合物を用いて単一のウェハのリアクタにおいて堆積されるのが好ましい。

【0068】在来のシリコン技術において、ゲートは、在来の有機樹脂のフォトリソグラフィーのステップの後にエッチングされる。

【0069】不幸にして、シリコンをエッチングするために慣例的に用いられる高密度プラズマエッチングプロセスは、特に、多結晶Si_{1-x}Ge_x層のゲルマニウム含有量が50%（x≥0.5）より大きい時、Si_{1-x}Ge_x層もしくはSi_{1-x}Ge_x/Siスタックをエッチングすることに対して適切ではない。これは、在来のプラズマエッチングプロセスが、エッチングされた変形*の輪郭（プロファイル）、特に後者の側壁を変形させるからである。

【0070】本発明によるエッチングは、無機材料からなるマスク5の形成（図3参照）によって始まり、低圧化学蒸着のような在来プロセスを用いて、無機材料、例えばSiO₂層またはSiO₂/SiON二重層の堆積を有する。

【0071】在来の樹脂マスク6が、例えばフォトリソグラフィーによって、無機材料のこの層5上に形成された後（図4参照）、無機材料のマスク5は、好ましくは高密度プラズマエッチングにより、一層好ましくは塩素と、窒素および/またはアンモニアとのガス混合物を用いることにより、エッチングされる（図5参照）。

【0072】本発明によるゲートGRのエッチング（図6参照）の本質的特徴は、塩素が誘導される自発的な側面エッチ率を減じるように、塩素原子で相互吸着させることによりエッチングする側壁上にパッシベーション（不動態化保護）層を形成するために、酸素もしくはHBrを含まずそしてN₂またはNH₃もしくはそれらの

混合物を含む塩素が基礎とされた高密度ガスプラズマを用いたメイン（主）、異方性、エッチング工程からなる。この、 N_2 または NH_3 、もしくはこれらの化合物の混合物の付加は、エッチング残留物を残さない、もしくはほとんど残さないし、 $Si_{1-x}Ge_x$ 層もしくはその下にあるゲート酸化物の側面（横方向）の腐食または損傷を生じさせない。さらに、そのようなガス混合物の使用は、エッチングプロセスを実施する工業的な方法と矛盾しない。

【0073】プラズマのガス混合物に導入される N_2 および/または NH_3 の割合は、従来のように、実験的に決定してもよいが、垂直方向のエッチングの原因であるイオン衝撃によって引き起こされる反応の動力学を同様に妨げることなく、イオン衝撃に曝されないエッチングされた変形（features）のサイドウォール（側壁）の側面（横方向）のエッチングの原因である自発的な化学反応の動力学を妨げるのに充分でなければならない。

【0074】本発明において、好ましくは、メインエッチング工程の後には、プラズマ内のイオンのエネルギーがメインエッチング工程より低いオーバーエッチング工程が続く。このオーバーエッチング工程中には、メインエッチング工程におけるのと同じガス混合物を使用することが可能であるが、酸素または HBr （臭化水素）を含んでいないガス混合物を使って、メインエッチング工程中にエッチングされた変形の側壁上に形成されたパッシベーション層が、このオーバーエッチング工程中に酸素*

*原子によって自発的にエッチングされることからエッチングされた変形の側壁を保護するので、酸素を含むガス混合物を使うことも可能である。

【0075】酸素の量は、エッチングされた変形の自発的な側面のエッチングの原因となることなく、 $Si_{1-x}Ge_x$ /ゲート酸化物選択性を増加させるために、実験的に決定することができる。

【0076】また、好ましくは、メインエッチング工程は、シリコン酸化物よりなる下層1に、好ましくはシリコン酸化物1から30nmと40nmとの間の距離に達する前に、停止される。こうして、メインエッチング工程中にゲート酸化物を傷つける、どんな危険も避けられる。

【0077】上述された実施例は、繰り返されるが、ここでは、多結晶 $Si_{0.45}Ge_{0.55}$ 第1層3（厚み120nm）のスタック、および多結晶シリコン第2層4（厚み80nm）のスタックは、基板のシリコン酸化物層1の上に、かつプライマー層2の上に形成される。無機材料からなるマスキング層5、例えばシリコン酸化物層は、多結晶シリコン第2層4の上に堆積される。

【0078】樹脂マスク6が、無機材料からなるマスキング層の上に形成された後、マスキング層およびスタックは、以下の表1に示される条件下でエッチングされる。

【0079】

表1

プラズマ

処理時間
(S)

	ガス混合物	電源の電力 (W)	基板ホルダに 印加された バイアス電力 (W)	
無機材料のマスク の刺し穴	$HBr/Cl_2/O_2$ (40/40/8)*	2500	400	5
メインエッチング 工程	$HBr/Cl_2/O_2$ (40/40/8)	2500	150	52

*この実施例において、別な違ったやり方で示されている所を除いて、全てのガス流量は、標準状態で cm^3/min で表現される。

【0080】多結晶 $Si_{0.45}Ge_{0.55}$ 層の側壁における変形のエッチングプロファイル（輪郭）の重大な変形が観察された。エッチングされた変形の側壁をパッシベート（表面を不動態化して保護）する酸化物層の厚みのX線フォトエレクトロスペクトロスコピー（光電子分光学）による分析は、この層が多結晶シリコン層の側壁上の3nmの厚みと比較して多結晶 $Si_{0.45}Ge_{0.55}$ 層の側壁上の1nmの厚みを持つことを示す。

【0081】多結晶シリコンの場合におけるように、 $Si_{0.45}Ge_{0.55}$ の側壁上のパッシベーション（不動態化保護）層は、高度に塩素化された亜化学量論的シリコン

酸化物である。それゆえに、パッシベーション層は、シリコンエッチング反応生成物からのみ形成され、そして、そのことは、エッチングされた変形の側壁上のその（パッシベーション層）厚みが、 $Si_{0.45}Ge_{0.55}$ 層の場合において減少した理由を説明している。

【0082】ゲート（GR）（図6参照）をエッチングするこの段階の後、エッチング残留物、および必要に応じて、可能な所では、ハードマスク5は、取り除かれる。この工程は、低濃度（1%以下）のHF浴における還元工程にある。典型的には、この工程は、ウェハ全体にわたる熱酸化物の10Åのエッチングに相当する。そ

れは、主として、ゲートのエッチングの間に生成されたかもしれない全てのポリマー残留物を溶解（消失）させるように働く。

【0083】SiON層が載っているシリコン酸化物層によって構成されるハードマスクの場合には、SiON層は、現実のゲートエッチング工程の間に消費される。この場合には、形態は、SiO₂のみから構成されるハードマスクの場合と同じである。

【0084】この工程において、もし除去時間が使用される技術と矛盾しないならば、全てのハードマスク5を除去することは、可能であるが、必須ではない。これは、特に、0.18μm技術におけるSiO₂の60nmのハードマスクを持つ場合である。これは、希フッ化水素浴においてハードマスクを取り除くための時間が60Åの熱酸化物をエッチングする時間に典型的に等しいからである。

【0085】しかしながら、本文の残りの部分においては、特に、図7に示されているように、ハードマスク5は完全には除去されないことが推測される。次の工程（図7）は、ゲルマニウムに関して非酸化性である材料7、典型的にはシリコン酸化物SiO₂またはSiONの層内にゲートGRをカプセル化することにある。ゲートをカプセル化するこの工程は、特に、有機樹脂を除去する必要性のために、シリコン／ゲルマニウム層を傷つけるフォトリソグラフィ工程を必要とする、ドレインおよびソース領域の注入を実行することにある後続の科学技術の工程の間に、ゲートの側壁を保護するために必須である。

【0086】このシリコン酸化物カプセル化層は、ガスプラズマを用いるCVDタイプの堆積によって形成される。このカプセル化のためのプラズマ酸化物の選択は、ゲルマニウムが酸素と極めて強く反応するという事実によって正当化される。それゆえに、酸素原子が気相において極めて短い寿命しか持たない方法を用いる必要があり、そしてそれは、低温プラズマ強化化学蒸着（PECVD）によって形成された酸化物の場合である。

【0087】このカプセル化層7の典型的な厚みは、5nmと10nmとの間である。この小さな厚みは、2.5nmと5nmとの間で変動する厚みを持つ熱酸化物を使う従来のシリコン技術からはるかに遠く離れている訳ではないために、正当化される。さらに、この小さな厚みは、種々の注入深さをトランジスタの固有の電気特性を損なうことなく制御させる。

【0088】その時、カプセル化されたゲートGRを含むこのトランジスタには、サイドゲート隔離領域（スペーサ8、図8参照）を形成するために、フォトリソグラフィならびにソースおよびドレイン領域の注入（例えば、LDD注入）の従来の工程（簡単化のために図示されていない）を行うことができる。材料の選択は、使用される技術の可能な熱バランスに依存する。これは、ゲ

ートGRの側壁を保護するカプセル化酸化物が、酸素に対して浸透性があるという事実のために、高温での酸素を含むような堆積も、特に、温度強化シリコン酸化物（TEOS堆積）は、排除されなければならない。他方、スペーサのための材料は、低温で得られるプラズマ酸化物（SiO₂）またはシリコン窒化物Si₃N₄のいずれかであってもよい。堆積された層の典型的な厚みは、使用される技術の束縛に依存して最適化される。典型的には、エッチング後、0.1~0.13μmのゲートのベースでの幅を持つスペーサに対して、250nm厚さのSiO₂層または100nm厚さのSi₃N₄を堆積することが可能である。

【0089】スペーサのエッチングは、当業者に公知の従来工程である。ここでは、もし、ゲートをエッチングした後、ポリマー残留物を除去する工程の間に、ハードマスク5を除去することができないならば、それを、今やスペーサをドライエッチングする工程の間に、またはこの工程の最後にスペーサに関して選択的である化学エッチングによってのいずれかにおいて除去することができることに留意すべきである。

【0090】以上、本発明のシリコンゲルマニウムゲートを持つトランジスタを得るための方法について詳細に説明したが、本発明は上記実施例に限定はされず、本発明の要旨を逸脱しない範囲において、各種の改良および変更を行ってもよいのはもちろんである。

【0091】

【発明の効果】以上、詳細に説明したように、本発明によれば、従来より少ない、全てが一緒に結合せられる工程を持つシリコンゲルマニウムゲートを持つトランジスタを得るための方法を提供することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明に係る方法を実施する一手順における主要な工程の一つを極めて線図的に示す図である。

【図2】 本発明法を実施する主要な別の工程を線図的に示す図である。

【図3】 本発明法を実施する主要な別の工程を線図的に示す図である。

【図4】 本発明法を実施する主要な別の工程を線図的に示す図である。

【図5】 本発明法を実施する主要な別の工程を線図的に示す図である。

【図6】 本発明法を実施する主要な別の工程を線図的に示す図である。

【図7】 本発明法を実施する主要な別の工程を線図的に示す図である。

【図8】 本発明法を実施する主要な別の工程を線図的に示す図である。

【符号の説明】

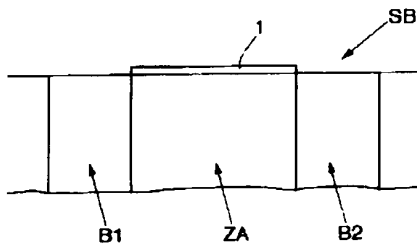
1 シリコン酸化物層

- 2 シリコンプライマー層
- 3 シリコン-ゲルマニウム ($\text{Si}_{1-x}\text{Ge}_x$) 層
- 4 第2シリコン (シリコンカプセル化) 層
- 5 無機ハードマスク
- 6 従来の樹脂マスク
- 7 カプセル化層

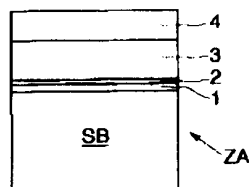
*

- * 8 スペーサ
- B 1, B 2 酸化物領域
- GR ゲート
- SB 半導体基板
- ZA 活性領域

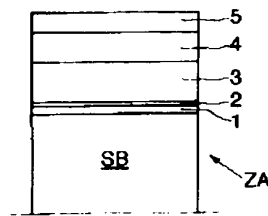
【図 1】



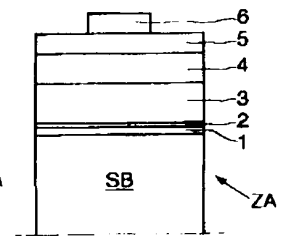
【図 2】



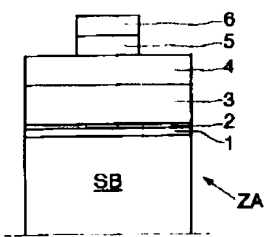
【図 3】



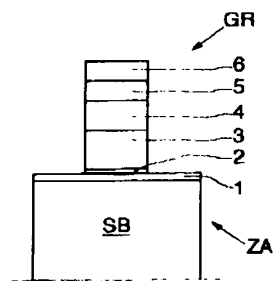
【図 4】



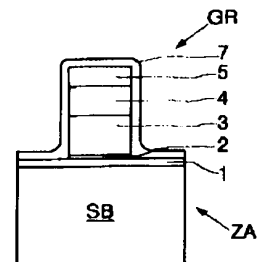
【図 5】



【図 6】



【図 7】



【図 8】

